

Original document

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP5041478

Publication date: 1993-02-19

Inventor: HAYASHI YOSHIHIRO; TAKAHASHI SOJI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: *H01L21/768; H01L21/02; H01L21/316; H01L21/336; H01L23/12; H01L27/00; H01L27/12; H01L29/78; H01L29/786; H01L21/70; H01L21/02; H01L23/12; H01L27/00; H01L27/12; H01L29/66; (IPC1-7): H01L21/316; H01L21/90; H01L23/12; H01L27/00; H01L29/784*

- European:

Application number: JP19910180643 19910722

Priority number(s): JP19910180643 19910722

[View INPADOC patent family](#)

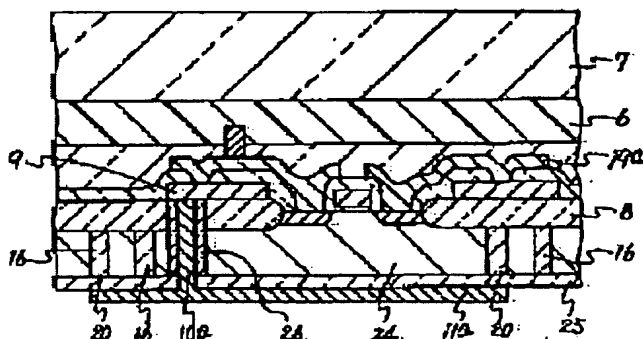
[View list of citing documents](#)

[Report a data error here](#)

Abstract of JP5041478

PURPOSE:To improve the electric and heat radiating characteristics of a semiconductor device having a multilayered structure formed by sticking semiconductor devices having thin-film structures to each other by forming the semiconductor devices having electric and heat radiating characteristics equivalent to those of devices formed on a bulk semiconductor substrate.

CONSTITUTION:In a device having a thin-film structure, silicon 24 exists below a LOCOS oxide film 8 in the form of a thin film and surface-side wiring 19a is connected to rear-side wiring 11a through a through hole 10a which is formed by utilizing the bottom section 20 of a trench pattern for alignment marks and provided with a silicon oxide film 26 on its side wall.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-41478

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/00	3 0 1 B	8418-4M		
21/90	A	7353-4M		
23/12		7352-4M	H 0 1 L 23/ 12	N
		9056-4M	29/ 78	3 1 1 X

審査請求 未請求 請求項の数3(全 7 頁) 最終頁に続く

(21)出願番号 特願平3-180643

(22)出願日 平成3年(1991)7月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 林 喜宏

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 高橋 宗司

東京都港区芝五丁目7番1号日本電気株式会社内

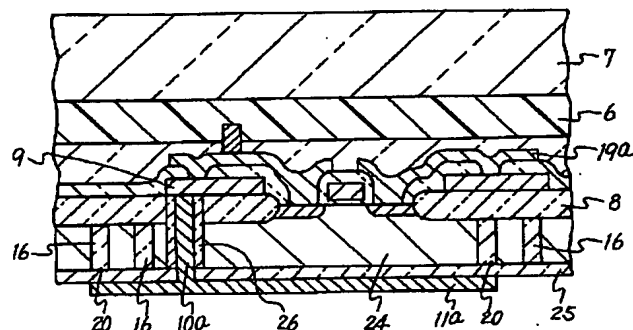
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】バルク半導体基板に形成されたデバイスと同等の電気特性および放熱特性を有する薄膜構造半導体デバイスを形成することにより、この薄膜構造半導体デバイスを張り合わせた多層構造半導体装置の電気特性および放熱特性を向上させる。

【構成】薄膜構造デバイスは、LOCOS酸化膜8の下に薄膜状シリコン24が存在し、かつ目合わせマーク用のトレンチパターン底部20を利用して形成された側壁シリコン酸化膜26付きのスルーホール10aを介して表面側アルミ配線19aと裏面配線11aとが接続されている。



【特許請求の範囲】

【請求項1】 少なくとも2つ以上の薄膜構造半導体装置が積層してなる多層構造の半導体装置において、前記薄膜構造半導体装置が、半導体素子と、前記半導体素子の素子分離層下に設けられた薄膜状半導体層と、前記薄膜状半導体層の裏面に形成された絶縁膜表面に設けられた裏面配線と、側壁に絶縁膜が形成されたスルーホールを介して前記裏面配線と接続された表面配線とを有することを特徴とする半導体装置。

【請求項2】 前記薄膜構造半導体装置の前記表面配線上、前記裏面配線上に上部接続電極、下部接続電極を有し、少なくとも2つ以上の前記薄膜構造半導体装置間が前記下部接続電極および前記上部接続電極を介して電気的に接続され、かつ、前記薄膜構造半導体装置間が絶縁材料の接着層を介して機械的に接着されることを特徴とする請求項1記載の半導体装置。

【請求項3】 少なくとも2つ以上の薄膜構造半導体装置が積層してなる多層構造の半導体装置における前記薄膜構造半導体装置の製造方法において、半導体素子、および少なくとも前記半導体素子の素子分離層底部より深い位置に底部を持つ目合わせパターンが形成された半導体基板の裏面を、前記目合わせパターンの前記底部が現われるまで薄膜化する工程と、前記目合わせパターンの前記底部を基準として、前記半導体基板の裏面側にフォトリソグラフィ工程を行ない、前記半導体基板の裏面側に回路パターンを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製造方法に関し、特に少なくとも2つ以上の薄膜構造半導体装置を積層してなる多層構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 選択ポリッシング法を用いて半導体素子の形成されたシリコン半導体基板を薄膜化して薄膜構造半導体装置を形成し、さらに得られた薄膜構造半導体装置を張り合わせて多層構造を有する半導体装置の形成が、林善宏、高橋宗司、國尾武光、和田重信著の月刊セミコンダクターワールド、1990年、9月号、58-64ページに報告されている。図9-図13に、この報告による多層構造の半導体装置を得るための工程順の断面図を示す。

【0003】 まず、第1のシリコン基板1にMOSFET 3aを形成した後、 MoSi_2/Al 配線4上にデバイス張り合わせ接続電極であるタングステンバンプ5aを形成し、さらに第1のシリコン基板1のMOSFET 3a形成面側に接着剤6を用いて支持基板7を接着する

【図9】。

【0004】 次に、選択ポリッシング法を用いて第1のシリコン基板1に形成されているMOSFET 3aの素子領域のシリコン層を残して、LOCOS酸化膜8裏面までシリコンを除去、薄膜化する【図10】。ここで、選択ポリッシング法とはシリコン酸化膜の加工速度がシリコンのそれに比べて1/1000程度であるポリッシング方法であり、この方法でLOCOS酸化膜8裏面をポリッシングのストッパーとして用いることのできる。

【0005】 得られた薄膜構造半導体装置においては、LOCOS酸化膜8上に形成されているパターン（例えばポリシリコン配線9）が透過して見える。このため、LOCOS酸化膜8上に形成されているパターン（例えばポリシリコン配線9）を目合わせマークとして裏面側に露光を行なう裏面フォトリソグラフィが可能となる。この裏面フォトリソグラフィを利用して、薄膜構造半導体装置裏面に、LOCOS酸化膜8を貫くスルーホール10b、 W/Al 構造の裏面配線11b、およびポリイミド膜13a中に Au/In 合金を埋め込んだ Au/In ブール12を形成する【図11】。なお Au/In ブール12は、裏面配線11b、スルーホール10b、ポリシリコン配線9、および MoSi_2/Al 配線4を介して、この薄膜構造半導体装置の表面に形成されたタングステンバンプ5aに接続されている。

【0006】 次に、第2のシリコン基板2にMOSFET 3bを形成してバルク構造半導体装置を得る。バルク構造半導体装置表面にタングステンバンプ5bを形成し、ポリイミド膜13bを形成する。タングステンバンプ5bの上端はポリイミド膜13bに覆われていない。

【0007】 次に、前述の薄膜構造半導体装置をバルク構造半導体装置の上に張り合わせる。まず、赤外線顕微鏡を用い、バルク構造半導体装置表面に形成されているタングステンバンプ5bと薄膜構造半導体装置裏面に形成されている Au/In ブール12との位置合わせを行なう。続いて、 Au/In 合金が溶融する温度以上（例えば、350℃）に試料を昇温・加熱し、溶融状態の Au/In ブール12にタングステンバンプ5bを挿入させ、ろう付けにより薄膜構造半導体装置とバルク構造半導体装置とを電気的に接続する。このとき、ポリイミド膜13a、13bが接着し、薄膜構造半導体装置とバルク構造半導体装置とは機械的に接着する。最後に、支持基板7をエッチングして除去する【図13】。この後、この積層構造の半導体装置の上に、新たな薄膜構造半導体装置を積層することが可能となる。

【0008】

【発明が解決しようとする課題】 かかる構造を有する積層構造の半導体装置の積層単位である薄膜構造半導体装置の形成（図10）において、選択ポリッシング法を用いてLOCOS酸化膜8の裏面までシリコンを除去することにより、LOCOS酸化膜8上に形成されているパ

ターン（例えば、ポリシリコン配線9）を目合わせマークとして裏面側に露光を行なう裏面フォトリソグラフィが可能ならしめている。

【0009】しかしながら、選択ポリッシング法を用いてLOCOS酸化膜8裏面まで薄膜化を行なうと、MOSFET3aの活性層がLOCOS酸化膜8膜厚のほぼ半分（例えば、400nm程度）と薄いため、選択ポリッシングの際にMOSFET3a活性層に結晶欠陥が導入され易い。その結果、第2のシリコン基板2に形成されたバルク半導体装置のMOSFET3bの電気特性と比較して、MOSFET3aのドレイン電流の低下、あるいはソース／ドレイン間のジャンクションリーク電流の増加等の特性劣化が生じる。さらに、図14に示すごとく、素子領域の大きなMOSFET3c（例えば、入出力バッファ用MOSFET）の場合、LOCOS酸化膜8裏面よりも素子領域シリコン層15が深くポリッシングされてしまうオーバーポリッシング領域14が形成され、薄膜構造半導体装置におけるMOSFET3aの特性が劣化する。また、薄膜構造半導体装置の裏面配線11bを形成する工程（図11）において、MOSFET3a形成領域の裏面上には配線を形成することができず、裏面配線11b形成の自由度が小さい。さらに、薄膜構造半導体装置の側面は熱伝導度の小さいLOCOS酸化膜8に囲まれ、その裏面には直接熱伝導度の小さいポリイミド膜13aが接しているため、放熱効果が悪く、その熱不安定性のために半導体素子の高集積化が阻害される。

【0010】結果的に、以上述べた積層単位である薄膜構造半導体装置に関する欠点のため、かかる薄膜構造半導体装置の張り合わせにより得られる多層構造の半導体装置の特性は、バルクシリコン基板の2次元平面内に複数のMOSFETを配置した2次元半導体装置よりも電気特性、あるいは熱安定性において劣ってしまうという欠点があった。

【0011】本発明は、積層単位の薄膜半導体装置の欠点を除去し、さらに電気特性、および熱安定性に優れた多層構造の半導体装置を形成することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置は、少なくとも2つ以上の薄膜構造半導体装置が積層してなる多層構造の半導体装置において、薄膜構造半導体装置が、半導体素子と、半導体素子の素子分離層下に設けられた薄膜状半導体層と、薄膜状半導体層の裏面に形成された絶縁膜表面に設けられた裏面配線と、側壁に絶縁膜が形成されたスルーホールを介して裏面配線と接続された表面配線と有している。好ましくは、薄膜構造半導体装置の表面配線上、裏面配線上に上部接続電極、下部接続電極を有し、少なくとも2つ以上の薄膜構造半導体装置間が下部接続電極および上部接続電極を介して電氣的に接続され、かつ薄膜構造半導体装置間が絶縁材料の接

着層を介して機械的に接着している。

【0013】本発明の半導体装置の製造方法は、少なくとも2つ以上の薄膜構造半導体装置が積層してなる多層構造の半導体装置における薄膜構造半導体装置の製造方法において、半導体素子、および少なくとも半導体素子の素子分離層底部より深い位置に底部を持つ目合わせパターンが形成された半導体基板の裏面を、目合わせパターンの底部が現われるまで薄膜化する工程と、目合わせパターンの底部を基準として、半導体基板の裏面側にフォトリソグラフィ工程を行ない、半導体基板の裏面側に回路パターンを形成する工程と、を有している。

【0014】

【作用】半導体素子が形成され、かつLOCOS酸化膜（あるいは素子分離膜）底部よりも深い位置に底部を持つ目合わせパターンが形成してある半導体基板の薄膜化をこの目合わせパターンの底部が現われつ時点で終了させるため、得られる薄膜構造半導体装置ではLOCOS酸化膜裏面に薄膜状半導体層が残された構造となり、半導体素子領域へのオーバーポリッシング現象は起り得ない。また、LOCOS酸化膜裏面の薄膜状半導体層を介して薄膜構造半導体装置からの熱を容易に逃がすことが可能となる。

【0015】さらに、薄膜構造半導体装置裏面から素子分離酸化膜表面側に形成されているパターンが薄膜状半導体層により遮られて見えないにもかかわらず、目合わせパターンの底部を露光基準として利用することにより、薄膜構造半導体装置の薄膜状半導体層上には絶縁膜が形成されているため、表面側に半導体素子が形成されている領域であっても裏面配線を形成することが可能である。この裏面配線はスルーホールを介して表面配線と接続されているが、スルーホール側面には絶縁膜が形成されているため電氣的信号が薄膜状半導体層にリークする恐れはない。

【0016】上述した素子分離層の下に薄膜状半導体層の存在する薄膜構造半導体装置が張り合わせ・積層されている多層構造の半導体装置においては、バルクシリコン基板内に形成した半導体素子と同等の電気特性、あるいは熱安定性を保ちつつ、半導体素子の3次元配置およびそれらを接続する3次元配線が可能となる。

【0017】

【実施例】次に本発明について図面を参照して説明する。

【0018】図1は本発明の第1の実施例を説明するための断面図である。本実施例は、薄膜構造半導体装置を積層してなる半導体装置における薄膜構造半導体装置に関する。

【0019】MOSFETを素子分離するLOCOS酸化膜8下に存在する薄膜状シリコン24の裏面にはシリコン酸化膜25が形成されている。シリコン酸化膜25裏面に形成されたアルミニウム膜からなる裏面配線11

aは、側壁シリコン酸化膜が表面に形成されたスルーホール10a、および上述のMOSFETのポリシリコン配線9を介して、表面側アルミ配線19aと接続されている。このように、薄膜状シリコン24裏面のシリコン酸化膜25上に裏面配線11aが形成されているため、薄膜構造半導体装置の表側のMOSFET等の半導体素子の存在に関係なく、薄膜構造半導体装置の裏面全面に裏面配線11aを形成することができる。なお、支持基板7は単に薄膜構造半導体装置の機械的な補強材であり、本実施例の半導体装置の構造とは本質的に関係ない。

【0020】図2-図6、および図1を用いて本実施例に係わる半導体装置の製造方法を説明する。

【0021】まず、第1のシリコン基板1にトレンチパターン16を形成する〔図2〕。トレンチパターン16の深さは1 μ mから10 μ m程度とする。

【0022】次に、熱酸化法あるいはCVD法により酸化シリコンをトレンチパターン16に埋め込んだ後、シリコン窒化膜をマスクとする通常のLOCOS酸化膜8の形成を行なう〔図3〕。

【0023】続いて、ゲート電極17およびポリシリコン配線9の形成、ソース/ドレイン18の形成、表面側アルミ配線19aの形成等を行ない、MOSFETを形成する〔図4〕。ここで肝要なことは、上述のトレンチパターン16の底部がLOCOS酸化膜底部21より深い所に位置していることである。

【0024】さらに、必要ならば表面側アルミ配線19a上にMOSFETの張り合わせ・積層用の上部接続電極として、高融点金属であるタングステンからなるタングステンパンプ5aを形成する。次に、接着剤6を用いて支持基板7を接着する〔図5〕。

【0025】さらにMOSFETの形成された第1のシリコン基板1の裏面より研磨あるいはエッチングを行ない、トレンチパターン底部20が現われるまで薄膜化する〔図6〕。このシリコン基板1裏面に現われたトレンチパターン底部20を目合わせマークとして、裏面側にフォトリソグラフィが可能となる。

【0026】このように、LOCOS酸化膜底部21よりも深い位置に底部のあるパターンが形成してあれば、選択ポリッシング法を用いてLOCOS酸化膜裏面21までシリコンのポリッシングをしなくても、得られた薄膜MOSFET22の裏面側にフォトリソグラフィを行なうことが可能となる。さらに自明なことであるが、図14に示したようなMOSFET3cの素子領域シリコン層15へのオーバーポリッシング領域14の形成は起り得ない。

【0027】次に、薄膜状シリコン24裏面にシリコン酸化膜25を形成し、トレンチパターン底部20を目合わせマークとした裏面フォトリソグラフィ、それに続くドライエッチングによりスルーホール10aを形成す

る。続いて、CVD法による酸化シリコン成膜、およびエッチバックによりスルーホール10aの側面に側壁シリコン酸化膜26を形成する。さらに、アルミニウム膜のスパッタ、裏面フォトリソグラフィ、およびドライエッチングにより、裏面配線11aを形成する〔図1〕。

【0028】ここで、薄膜状シリコン24にはエッチング法によるスルーホール10aの形成が必要なため、その厚さは通常0.5 μ m-10 μ mである。なお、薄膜状シリコン24の裏面、およびスルーホール10aの側面に形成する絶縁膜はシリコン酸化膜である必要はなく、シリコン窒化膜でも良い。

【0029】図7は本発明の第2の実施例を説明するための断面図である。第1の実施例では半導体素子間をLOCOS酸化膜により分離したが、本実施例ではトレンチ分離である。本実施例の場合、素子分離用トレンチ底部23よりも裏面フォトリソグラフィ用のトレンチパターン底部20が少なくとも深い所に位置する必要がある。

【0030】図8は本発明の第3の実施例を説明するための断面図である。

【0031】第2のシリコン基板2に形成されたバルクMOSFET27上に、LOCOS酸化膜8下に薄膜状シリコン24が存在する薄膜MOSFET22が張り合わせ・積層されている。本実施例では、薄膜MOSFET22裏面に薄膜状シリコン24が存在し、さらに裏面配線11aが形成されているため、薄膜MOSFET22からの放熱特性は優れている。

【0032】本実施例の半導体装置は、以下に示す工程により容易に得ることができる。まず、第2のシリコン基板2に形成されているバルクMOSFET27の表面側アルミ配線19b上に上部接続電極としてタングステンパンプ5bを形成し、さらにバルクMOSFET27上にポリイミド膜13bを形成する。それと平行して、図1に示した薄膜MOSFET22裏面にポリイミド膜13aを塗布し、さらにリフト・オフ法により裏面配線11a上に下部接続電極としてAu/Inブール12を形成する。しかる後、シリコンを透過する赤外線顕微鏡を用いて、バルクMOSFET27上のタングステンパンプ5b上に薄膜MOSFET22裏面のAu/Inブール12が位置するように目合わせを行ない、加熱・加圧する。その結果、バルクMOSFET27と薄膜MOSFET22とはタングステンパンプ5bとAu/Inブール12とのろう付けにより電氣的に接続され、ポリイミド膜13bとポリイミド膜13aとの熱圧着により機械的に接着される。最後に、支持基板7をエッチングにより除去する。

【0033】本実施例では、MOSFET間の電氣的接続にパンプとブールのろう付けを利用したが、接続電極の構造はいかようでも構わない。また、電氣的接続にろう付けを利用せずとも、金属/金属間の拡散溶融、ある

7

いは導電性ポリマーを介した接続でもよい。

【0034】さらに、本実施例ではMOSFETが積層された場合を示したが、CMOSデバイスやバイポーラデバイスの積層に適用できることは自明であるが、ここで肝要なことは各半導体素子の素子分離酸化膜下に薄膜状半導体層が存在することである。素子分離領域に化合物半導体層が存在する化合物デバイスを積層することも可能である。

【0035】

【発明の効果】以上詳述したように、本発明を適用するならば素子分離領域下に薄膜状半導体層、例えば薄膜状シリコンが存在する薄膜構造半導体装置の裏面側にも配線層を容易に形成することができる。

【0036】さらに、素子分離領域下に薄膜状シリコンが存在する薄膜構造半導体装置を積層した多層構造の半導体装置においては、前述したシリコン酸化膜、あるいはポリイミド膜等の絶縁物よりも熱導電性に優れた薄膜状シリコン層が存在するため、半導体素子が3次元的に配置・接続され、かつ放熱特性に優れた高密度半導体装置を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための断面図である。

【図2】本発明の第1の実施例に係わる製造方法を説明するための断面図である。

【図3】本発明の第1の実施例に係わる製造方法を説明するための断面図である。

【図4】本発明の第1の実施例に係わる製造方法を説明するための断面図である。

【図5】本発明の第1の実施例に係わる製造方法を説明するための断面図である。

【図6】本発明の第1の実施例に係わる製造方法を説明するための断面図である。

【図7】本発明の第2の実施例を説明するための断面図である。

【図8】本発明の第3の実施例を説明するための断面図である。

【図9】従来の多層構造の半導体装置の製造方法を説明するための断面図である。

8

【図10】従来の多層構造の半導体装置の製造方法を説明するための断面図である。

【図11】従来の多層構造の半導体装置の製造方法を説明するための断面図である。

【図12】従来の多層構造の半導体装置の製造方法を説明するための断面図である。

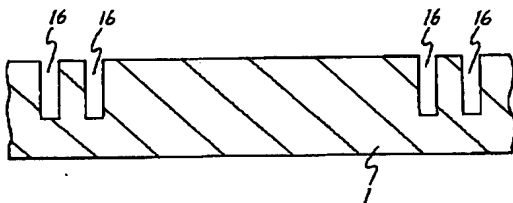
【図13】従来の多層構造の半導体装置およびその製造方法を説明するための断面図である。

【図14】従来の多層構造の半導体装置およびその製造方法の問題点を説明するための断面図である。

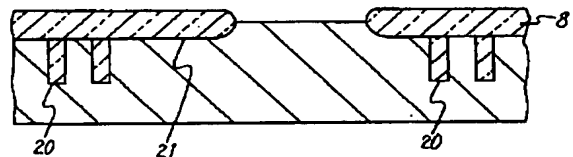
【符号の説明】

- | | |
|---------------|-------------------------|
| 1 | 第1のシリコン基板 |
| 2 | 第2のシリコン基板 |
| 3 a, 3 b, 3 c | MOSFET |
| 4 | MoSi ₂ /Al配線 |
| 5 a, 5 b | タングステンバンプ |
| 6 | 接着剤 |
| 7 | 支持基板 |
| 8 | LOCOS酸化膜 |
| 9 | ポリシリコン配線 |
| 10 a, 10 b | スルーホール |
| 11 a, 11 b | 裏面配線 |
| 12 | Au/Inブール |
| 13 a, 13 b | ポリイミド膜 |
| 14 | オーバーポリッシング領域 |
| 15 | 素子領域シリコン層 |
| 16 | トレンチパターン |
| 17 | ゲート電極 |
| 18 | ソース/ドレイン |
| 19 a, 19 b | 表面側アルミ配線 |
| 20 | トレンチパターン底部 |
| 21 | LOCOS酸化膜底部 |
| 22 | 薄膜MOSFET |
| 23 | 素子分離用トレンチ底部 |
| 24 | 薄膜状シリコン |
| 25 | シリコン酸化膜 |
| 26 | 側壁シリコン酸化膜 |
| 27 | バルクMOSFET |

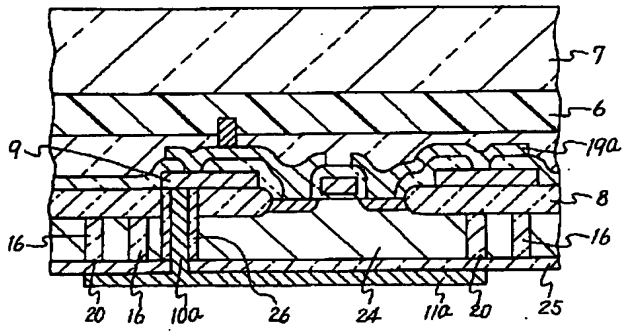
【図2】



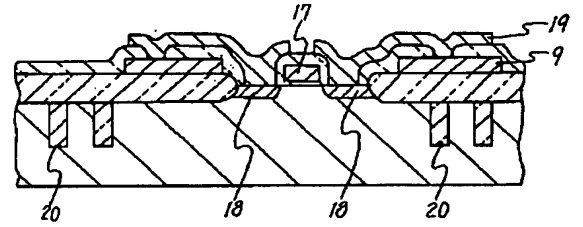
【図3】



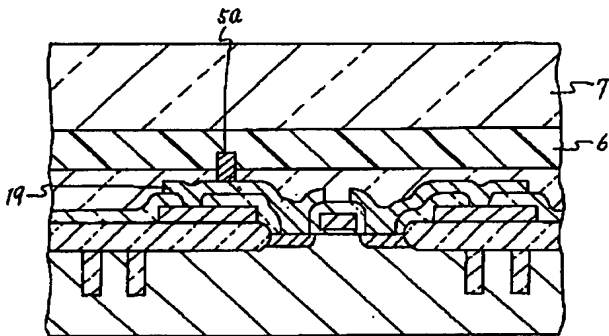
【図1】



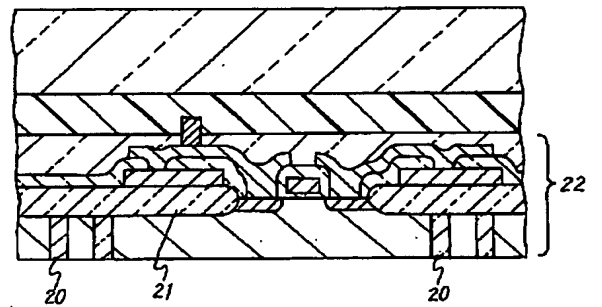
【図4】



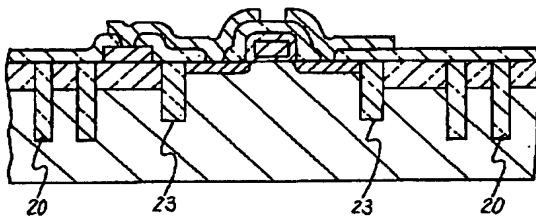
【図5】



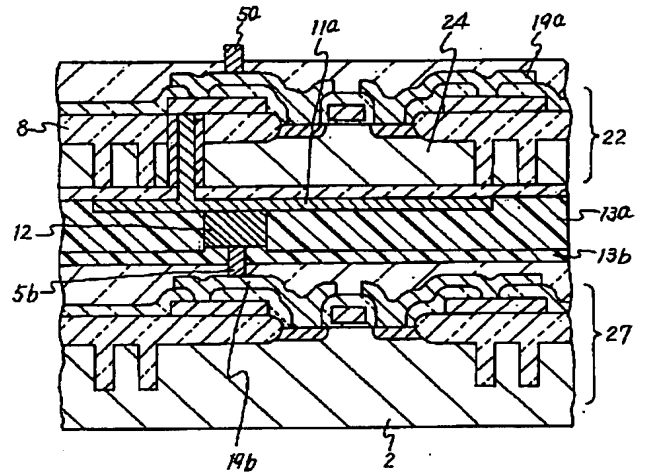
【図6】



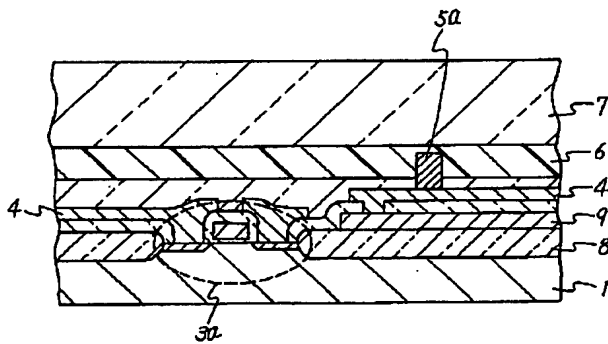
【図7】



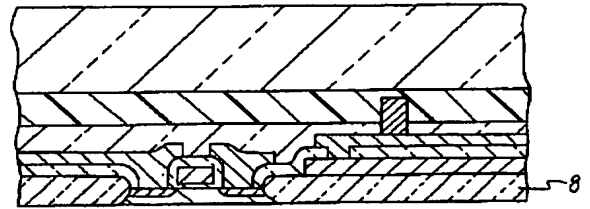
【図8】



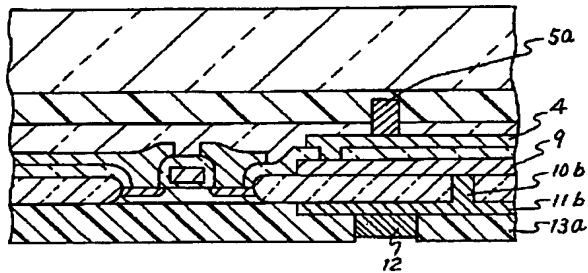
【図9】



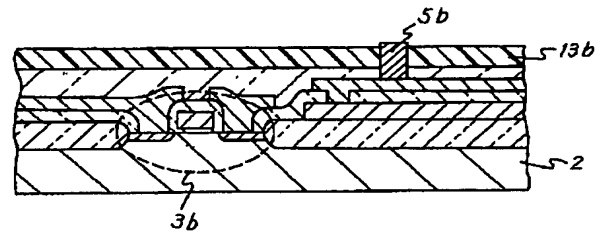
【図10】



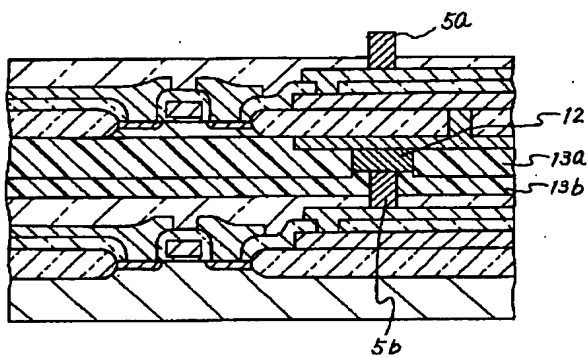
【図11】



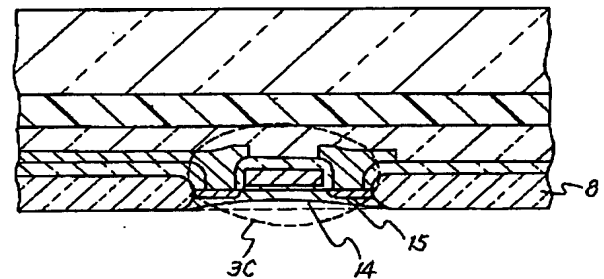
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 29/784

// H 0 1 L 21/316

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 21/94

A